

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-191574

(P2004-191574A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int.Cl.⁷

F I

テーマコード (参考)

G09G 3/36

G09G 3/36

2H093

G02F 1/133

G02F 1/133

550

3K007

G09G 3/20

G09G 3/20

611A

5C006

H05B 33/14

G09G 3/20

621B

5C080

G09G 3/20 623F

審査請求 未請求 請求項の数 12 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-358380 (P2002-358380)

(22) 出願日 平成14年12月10日 (2002.12.10)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅普

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

Fターム (参考) 2H093 NA16 NA53 NA54 NA80 NC03

NC10 NC13 NC15 NC16 NC28

NC29 NC34 NC59 ND49 ND50

最終頁に続く

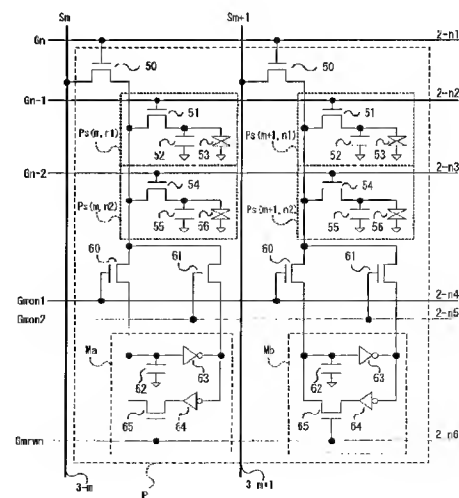
(54) 【発明の名称】 電気光学パネル、走査線駆動回路、データ線駆動回路、電子機器及び電気光学パネルの駆動方法

(57) 【要約】

【課題】 メモリをサブ画素間で共用する。

【解決手段】 メイン画素Pは、4個のサブ画素PSと、メモリMa、Mbと、TFT50、60及び61を備える。第1モードでは、TFT50がオンする期間にサブ画素PSのTFT51、54が順次オンして、信号Sm、Sm+1が書き込まれる。一方、第2モードの書込期間にあっては、TFT50及び60がオンして信号Sm、Sm+1がメモリMa、Mbに書き込まれる。読出期間にはTFT60及び61が交互にオンしてメモリMa、Mbの記憶内容がサブ画素PSに書き込まれる。

【選択図】 図2



【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差に対応して設けられたサブ画素と、複数の前記サブ画素を有するメイン画素とを備え、前記メイン画素は、 M (M は自然数) ビットの画像データを記憶する1個以上のメモリを備え、前記メモリ1個当たりに対応付けられる前記サブ画素の数が1を超える電気光学パネルの駆動方法であって、

第1モードでは、 N ($N \geq M$ 、 N は自然数、) ビットの画像データに基づいて前記各サブ画素に N ビットの階調を表示させ、

第2モードでは、前記各メモリに M ビットの画像データを記憶するとともに、前記各メモリと対応付けられた前記サブ画素に M ビットの階調を表示させる

ことを特徴とする電気光学パネルの駆動方法。

10

【請求項2】

前記第1モードでは、 N ビットの画像データに基づいて生成された信号を前記各サブ画素に書き込み、

前記第2モードでは、前記メモリに M ビットの画像データを記憶し、前記メモリから読み出した画像データに基づいて、当該メモリに接続される前記サブ画素に共通して M ビットの階調を表示させる

ことを特徴とする電気光学パネルの駆動方法。

【請求項3】

前記 M ビットは1ビットであり、前記第2モードにおいて前記各サブ画素の階調を2値的に表示することを特徴とする電気光学パネルの駆動方法。

20

【請求項4】

前記メモリは、データとこれを反転した反転データを選択的に出力することが可能であり、

前記メモリから前記データと前記反転データとを所定周期で読み出して、前記サブ画素に供給することを特徴とする請求項3に記載の電気光学パネルの駆動方法。

【請求項5】

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線の交差に対応して設けられたサブ画素と、

複数の前記サブ画素を有するメイン画素とを備え、

前記メイン画素は、 M (M は自然数) ビットの画像データを記憶する1個以上のメモリを備え、前記メモリ1個当たりに対応付けられる前記サブ画素の数が1を超える

ことを特徴とする電気光学パネル。

30

【請求項6】

前記メイン画素は、

前記データ線と一方の入出力端子とが接続され、他方の入出力端子が配線と接続される第1スイッチング素子とを備え、

前記配線は前記メモリに対応する1個以上の前記サブ画素を接続する

ことを特徴とする請求項5に記載の電気光学パネル。

40

【請求項7】

前記メイン画素は、前記メモリと前記配線との間に設けられたスイッチング手段を備えることを特徴とする請求項6に記載の電気光学パネル。

【請求項8】

前記スイッチング手段は第2スイッチング素子と第3スイッチング素子とを備え、

前記メモリは、

前記第2スイッチング素子と一方の端子とが接続される容量と、

前記容量の一方の端子と入力端子とが接続される第1反転回路と、

前記第3スイッチング素子及び前記第1反転回路の出力端子に入力端子が接続される第2

50

反転回路と、

前記第2反転回路の出力端子と前記容量の一方の端子との間に設けられた第4スイッチング素子と

を備えることを特徴とする請求項7に記載の電気光学パネル。

【請求項9】

複数の前記サブ画素の一部で構成することを特徴とする請求項5乃至8のうちいずれか1項に記載の電気光学パネル。

【請求項10】

請求項8に記載の電気光学パネルを駆動する走査線駆動回路であって、

第1モードでは、前記メイン画素の前記第1スイッチング素子を走査線を介して順次オン状態にし、当該オン期間において、当該メイン画素に含まれる前記サブ画素を前記走査線に沿って順次選択し、

第2モードの書込期間において、前記第1スイッチング素子を前記走査線を介して順次オン状態にし、当該オン期間において前記第2スイッチング素子をオン状態、前記第3スイッチング素子をオフ状態、前記第4スイッチング素子をオフ状態とするように前記走査線を介して制御し、

第2モードの読出期間において、前記第1スイッチング素子をオフ状態、前記第4スイッチング素子をオン状態、前記第2スイッチング素子及び前記第3スイッチング素子を所定周期で排他的にオン・オフさせるように前記走査線を介して制御すること

を特徴とする走査線駆動回路。

【請求項11】

請求項5乃至9のうちいずれか1項に記載の電気光学パネルを駆動するデータ線駆動回路であって、

クロック信号に従って開始パルスをシフトして排他的に順次アクティブとなるサンプリングパルスを生成する手段を備え、

第1モードでは、前記サンプリングパルスに基づいて、前記Nビットの画像データをアナログ信号に変換して得た画像信号を各々サンプリングして前記データ線に順次供給する一方、前記第2モードの書込期間では、前記Mビットの画像データを前記サンプリングパルスに基づいて、各々サンプリングして前記データ線に順次供給し、第2モードの読出期間にあっては動作を停止する

ことを特徴とするデータ線駆動回路。

【請求項12】

請求項5乃至9のうちいずれか1項に記載の電気光学パネルを備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素にメモリ機能を備えた電気光学パネル等に関する。

【0002】

【従来の技術】

アクティブマトリクス方式の液晶パネルは、主に、マトリクス状に配列した画素電極の各々にスイッチング素子が設けられた素子基板と、カラーフィルタなどが形成された対向基板と、これら両基板との間に充填された液晶とを備える。このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して、画素電極に画像信号を印加すると、当該画素電極および対向電極（共通電極）の間の液晶層に所定の電荷が蓄積される。

【0003】

このような液晶パネルにおいて、液晶の光透過率は印加電圧に応じて変化する。液晶容量に書き込む電圧を変化させることによって、階調を表示させる電圧調法は周知である。一方、1つ画素を複数のサブ画素に分割し、これらのサブ画素をオンオフ表示させることで階調表示を実現する面積階調法が知られている（例えば、特許文献1）。

【0004】

さらに、1個のサブ画素に1個のメモリを設け記憶されたデータに従って面積階調法による階調表示を行うモードと、電圧階調法によって階調表示を行うモードとを備える液晶装置も知られている（例えば、特許文献2）。

【0005】

【特許文献1】

特開2001-281628号公報（図2及び図3）

【0006】

【特許文献2】

特開2002-22957号公報（請求項1及び図4）

10

【0007】

【発明が解決しようとする課題】

ところで、電気光学パネルの明るさは開口率によって左右され、開口率を向上させるにはメモリの占有面積が小さいことが必要とされる。しかしながら、従来の電気光学パネルにあっては、1個のサブ画素に1個のメモリが配置されていたため、表示画像が暗くなるという問題があった。

【0008】

本発明は、上述した事情に鑑みてなされたものであり、メモリの占有面積を減少させた電気光学パネルを提供すること等を解決課題とする。

【0009】

20

【課題を解決するための手段】

上記課題を解決するため、本発明に係る電気光学パネルの駆動方法は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差に対応して設けられたサブ画素と、複数の前記サブ画素を有するメイン画素とを備え、前記メイン画素は、 M （ M は自然数）ビットの画像データを記憶する1個以上のメモリを備え、前記メモリ1個当たりに対応付けられる前記サブ画素の数が1を超える電気光学パネルの駆動する方法であって、第1モードでは、 N （ $N \geq M$ 、 N は自然数、）ビットの画像データに基づいて前記各サブ画素に N ビットの階調を表示させ、第2モードでは、前記各メモリに M ビットの画像データを記憶するとともに、前記各メモリと対応付けられた前記サブ画素に M ビットの階調を表示させることを特徴とする。

30

【0010】

この発明によれば、第1モードでは高精細な画像を表示することができ、第2モードでは、第1モードと比較して解像度や階調数が低い画像を表示することができる。第2モードはメモリ機能を用いた表示となるから、静止画を表示する場合には、メモリの記憶内容を書き換える必要がなくなる。従って、走査線やデータ線を順次選択して駆動する必要がなくなるので、消費電力を大幅に削減することが可能となる。

【0011】

ここで、前記第1モードでは、 N ビットの画像データに基づいて生成された信号を前記各サブ画素に書き込み、前記第2モードでは、前記メモリに M ビットの画像データを記憶し、前記メモリから読み出した画像データに基づいて、当該メモリに接続される前記サブ画素に共通して M ビットの階調を表示させることが好ましい。この場合には、第2モードにおいて、あるメモリに接続されるサブ画素は M ビットの階調を表示することになるが、メイン画素は複数のメモリを備えることが可能であるから、面積階調法による階調表示が可能となる。

40

【0012】

さらに、前記 M ビットは1ビットであり、前記第2モードにおいて前記各サブ画素の階調を2値的に表示することが好ましい。この発明によれば、メモリの構造を簡易なものにすると共に簡単な制御で第2モードの画像表示を行うことが可能となる。

【0013】

くわえて、前記メモリは、データとこれを反転した反転データを選択的に出力することが

50

可能であり、前記メモリから前記データと前記反転データとを所定周期で読み出して、前記サブ画素に供給することが望ましい。電気光学物質として液晶を用いる場合には、焼付現象を防止する観点より、液晶を交流駆動する必要がある。この発明によれば、第2モードにおいて、メモリから読出す電圧を基準レベルを中心に反転させることが可能となるから、液晶を交流駆動することができる。

【0014】

次に、本発明に係る電気光学パネルは、複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差に対応して設けられたサブ画素と、複数の前記サブ画素を有するメイン画素とを備え、前記メイン画素は、M(Mは自然数)ビットの画像データを記憶する1個以上のメモリを備え、前記メモリ1個当たりに対応付けられる前記サブ画素の数が1を超えざることを特徴とする。この発明によれば、メモリ1個当たりに対応付けられる前記サブ画素の数が1を超えるから、表示領域に占めるメモリの面積を削減することができる。メモリ領域は光の透過に寄与しないため、占有面積を削減することによって、開口率を向上させることができる。この結果、明るくても消費電力の少ない電気光学パネルを提供できる。なお、メモリ1個当たりに対応付けられるサブ画素の数が1を超えるとは、あるメモリが1個のサブ画素に対応付けられており、他のメモリが2個のサブ画素に対応付けられており、全体としてみれば、1以上のメモリに対応付けられている場合を含む。

【0015】

ここで、前記メイン画素は、前記データ線と一方の入出力端子とが接続され、他方の入出力端子が配線と接続される第1スイッチング素子とを備え、前記配線は前記メモリに対応する1個以上の前記サブ画素を接続することが好ましい。この第1スイッチング素子は、データ線毎に設けられてもよく、1つのメイン画素に2個以上の第1スイッチング素子が含まれる場合もありえる。

【0016】

また、前記メイン画素は、前記メモリと前記配線との間に設けられたスイッチング手段を備えることが好ましい。このスイッチング手段によって、メモリがサブ画素と分離・接続される。

【0017】

より具体的には、前記スイッチング手段は第2スイッチング素子と第3スイッチング素子とを備え、前記メモリは、前記第2スイッチング素子と一方の端子とが接続される容量と、前記容量の一方の端子と入力端子とが接続される第1反転回路と、前記第3スイッチング素子及び前記第1反転回路の出力端子と入力端子とが接続される第2反転回路と、前記第2反転回路の出力端子と前記容量の一方の端子との間に設けられた第4スイッチング素子とを備えることが好ましい。

【0018】

また、メイン画素を前記複数の前記サブ画素の一部で構成してもよい。すなわち、表示領域の中に、第1モード及び第2モードが適用される部分(メイン画素部)と、第1モードのみが適用される部分混在してもよい。携帯電話等では、通話を待ち受ける画面を表示するが、そのような画面は、上部又は下部にアイコン等を表示する部分がある。そこで、そのような部分にメイン画素を配置することによって、低消費電力を実現できる。

【0019】

次に、本発明に係る走査線駆動回路は、上述した電気光学パネルを駆動するものであって、第1モードでは、前記メイン画素の前記第1スイッチング素子を走査線を介して順次オン状態にし、当該オン期間において、当該メイン画素に含まれる前記サブ画素を前記走査線に沿って順次選択し、第2モードの書込期間において、前記第1スイッチング素子を前記走査線を介して順次オン状態にし、当該オン期間において前記第2スイッチング素子をオン状態、前記第3スイッチング素子をオフ状態、前記第4スイッチング素子をオフ状態とするように前記走査線を介して制御し、第2モードの読出期間において、前記第1スイッチング素子をオフ状態、前記第4スイッチング素子をオン状態、前記第2スイッチング素子及び前記第3スイッチング素子を所定周期で排他的にオン・オフさせるように前記走

直線を介して制御することとを特徴とする。

【0020】

この発明によれば、第1モードにおいては各サブ画素を順次選択することができ、第2モードの書込期間ではメモリにデータを書き込み、第2モードの読出期間では、メモリからデータと反転データを交互に読み出して各サブ画素に供給することが可能となる。

【0021】

次に、本発明に係るデータ線駆動回路は、上述した電気光学パネルに用いられ、クロック信号に従って開始パルスをシフトして排他的に順次アクティブとなるサンプリングパルスを生成する手段を備え、第1モードでは、前記サンプリングパルスに基づいて、前記Nビットの画像データをアナログ信号に変換して得た画像信号を各々サンプリングして前記データ線に順次供給する一方、前記第2モードの書込期間では、前記Mビットの画像データを前記サンプリングパルスに基づいて、各々サンプリングして前記データ線に順次供給し、第2モードの読出期間にあっては動作を停止する。このデータ線駆動回路によれば、高精細な表示が要求される場合にはNビットの階調を表示可能な画像信号をデータ線に供給する一方、低精細な表示で足りる場合には、書込期間のみ動作して読出期間は動作を停止するから、消費電力を大幅に削減することができる。

10

【0022】

次に、本発明に係る電子機器は、上述した電気光学パネルを備える。例えば、液晶装置、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

20

【0023】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

<1. 第1実施形態>

<1-1: 液晶装置の全体構成>

まず、本発明の実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定の表示を行う透過型の液晶装置である。この液晶装置では、メイン画素Pが4つのサブ画素PSから構成される。そして、第1モードでは、各サブ画素PSに階調に応じた電圧を書き込んで画像を表示する一方、第2モードでは、各サブ画素PSを2値で駆動して面積階調法による画像表示を行う。

30

【0024】

図1は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネルAA、及びタイミング発生回路300を備える。液晶パネルAAは、その素子基板上に画素領域A、走査線駆動回路100Aおよびデータ線駆動回路200を備える。

【0025】

この液晶装置に供給される入力画像データDは、例えば、8ビットパラレルの形式である。タイミング発生回路300は、入力画像データDに同期してYクロック信号CKY、反転Yクロック信号CKYB、Xクロック信号CKX、反転Xクロック信号CKXB、Y転送開始パルスSPYおよびX転送開始パルスSPXを生成して、走査線駆動回路100Aおよびデータ線駆動回路200に供給する。

40

【0026】

ここで、Yクロック信号CKYは、走査線2を選択する期間を特定し、反転Yクロック信号CKYBはYクロック信号CKYの論理レベルを反転したものである。Xクロック信号CKXは、データ線3を選択する期間を特定し、反転Xクロック信号CKXBはXクロック信号CKXの論理レベルを反転したものである。

【0027】

次に、画素領域Aには、図1に示されるように、6本で一組の走査線2がJ組X方向に沿って平行に配列して形成される一方、K（Kは2以上の自然数）本のデータ線3が、Y方向に沿って平行に配列して形成されている。そして、走査線2とデータ線3との交差付近

50

においては、サブ画素 PS が形成されている。以下の説明では、サブ画素 PS を特定するため、走査線の組番号を Y （走査線を図1に示すように $2-YV$ で表すときの「 Y 」）、データ線の番号を X （データ線を図1に示すように $8-X$ で表すときの「 X 」）としたとき、走査線 $2-Y2$ に対応するサブ画素を $PS(X, Y1)$ で表すものとし、走査線 $2-Y3$ に対応するサブ画素を $PS(X, Y2)$ で表すものとする。

【0028】

<1-2：画素構成>

図2は、走査線 $2-n1 \sim 2-n6$ とデータ線 $3-m$ 及び $3-m+1$ との交差に対応して形成されるメイン画素 P の詳細な構成を示す回路図である。この図に示すようにメイン画素 P は、4個のサブ画素 $PS(m, n1)$ 、 $PS(m, n2)$ 、 $PS(m+1, n1)$ 及び $PS(m+1, n2)$ 、 $TFT50$ 、 $TFT60$ 、 $TFT61$ 、及びメモリ Ma 、 Mb を備える。

10

【0029】

サブ画素 $PS(m, n1)$ は、 $TFT51$ 、蓄積容量 52 、及び液晶容量 53 を有する。液晶容量 53 は、画素電極、対向電極、及びそれらの間に充填される液晶により構成される。他のサブ画素 PS もサブ画素 $PS(m, n1)$ と同様に構成されている。

【0030】

左上端の $TFT50$ は、ゲートが走査線 $2-n1$ に接続され、ソースがデータ線 $3-m$ に接続され、さらにドレインがサブ画素 $PS(m, n1)$ 及び $PS(m, n2)$ に接続される。 $TFT50$ は、第1モードにおける画像信号の書込期間及び第2モードにおける画像データの書込期間においてオン状態となり、表示期間においてオフ状態となる。 $TFT50$ は、走査線 $2-n1$ によって供給される走査信号 Gn によって制御される。

20

【0031】

$TFT60$ 及び 61 は、メモリ Ma とサブ画素 $PS(m, n1)$ 及び $PS(m, n2)$ を接続するかどうかを制御するために用いられる。 $TFT60$ のゲートは走査線 $2-n4$ に接続され、そのソースは $TFT50$ のドレインと接続され、さらに、そのドレインはメモリ Ma と接続される。 $TFT61$ のゲートは走査線 $2-n5$ に接続され、そのソースは $TFT50$ のドレインと接続され、さらに、そのドレインはメモリ Ma と接続される。 $TFT60$ のオン・オフは、信号 $Gmon1$ によって制御され、 $TFT61$ のオン・オフは、信号 $Gmon2$ によって制御される。

30

【0032】

メモリ Ma は、容量 62 、インバータ 63 及び 64 、並びに $TFT65$ を備える。 $TFT65$ がオンしていれば、インバータ 63 及び 64 によってラッチ回路が形成される。従って、容量 62 の電圧が保持されることになる。一方、 $TFT65$ がオフしていれば、ループが形成されていないので、容量 62 に電圧を書き込むことが可能となる。従って、容量 62 に電圧を書き込んだ後に、 $TFT65$ をオンさせれば、容量 62 に書き込んだ電圧を保持できる。すなわち、メモリ Ma は1ビットメモリとして機能する。 $TFT65$ のオン・オフは走査線 $2-n6$ を介して供給される信号 $Gmtrwn$ によって制御される。信号 $Gmtrwn$ は、ローレベルでデータの書き込みを指示し、ハイレベルでデータの読み出し（保持）を指示する。

40

【0033】

この例では、第2モードにおいて、メモリ Ma 及び Mb に各々1ビットのデータを記憶し、メモリ Ma の記憶内容に従って、サブ画素 $PS(m, n1)$ 及びサブ画素 $PS(m, n2)$ の階調を制御するとともに、メモリ Mb の記憶内容に従って、サブ画素 $PS(m+1, n1)$ 及びサブ画素 $PS(m+1, n2)$ の階調を制御する。これによって、メイン画素 P はオンとなるサブ画素 PS の数に応じた階調を表示することが可能となる。具体的には、メモリ Ma に記憶されるデータを Da 、メモリ Mb に記憶されるデータを Db とし、前記データが1のとき黒を、0のとき白を表示するものとする、 $Da=Db=1$ で4つのサブ画素 PS が黒、 $Da=1$ 、 $Db=0$ 又は $Da=0$ 、 $Db=1$ で2つのサブ画素 PS が黒、残り2つのサブ画素が白、 $Da=Db=0$ で4つのサブ画素 PS が白となり、3階

50

調の表示が可能となる。

【0034】

図2に示す例では、メモリMa、Mbに1ビットのデータを記憶したが、図3(A)に示すようにメモリにMビットのデータを記憶するようにしてもよい。ここで、入力画像データDのビット数をNとすれば、 $N \geq M$ (N、Mは自然数)となる。すなわち、第1モードにおいては、各サブ画素PSにNビット表示し(2^N 階調を表示)、第2モードにおいては1個のメモリと接続されたサブ画素(この例では2個)にMビット表示する。図3(A)におけるメイン画素Pは4個のサブ画素PSを含むものであったが、図3(B)に示すように2個のサブ画素PSを含むメイン画素Pを想定してもよい。

【0035】

第2モードにおける表示は、第1モードに比較して解像度及び表示調が劣化するが、メモリMa、Mbに階調を記憶しているから、各サブ画素PSを走査して画像信号を書き込む必要がない。従って、走査線駆動回路100A及びデータ線駆動回路200をクロック信号に同期して動作させる必要がなくなるから、消費電力を大幅に削減することが可能となる。特に、携帯電話機やPDA等の携帯用の電子機器では、複数のアイコンを備えたメニュー画面を表示している期間がある。このようなメニュー画面を表示するために必要な解像度や表示調は、動画像を表示する場合と比較して低い性能で足りる。従って、メニュー画面等を第2モードで表示させることにより、利用者から見た画像品質を損なうことなく、バッテリーで動作する時間を長時間化することが可能となる。

【0036】

<1-3: 走査線駆動回路の構成>

図4は走査線駆動回路100Aの構成を示すブロック図であり、図5は走査線駆動回路100Aの単位シフト回路 $Ua_{2n-1} \sim Ua_{2n+1}$ 及び論理ユニット Ub_n の構成を示す回路図である。これらの図に示すように走査線駆動回路100Aは、シフトレジスタ110、論理回路群120、及びインバータ130を備える。

【0037】

シフトレジスタ110は $2J+1$ 個の単位シフト回路 $Ua_1 \sim Ua_{2J+1}$ を備え、Yクロック信号CKY及び反転Yクロック信号CKYBに同期して、Y転送開始パルスSPYを順次シフトして、シフト信号を各々出力する。単位シフト回路 $Ua_1 \sim Ua_{2J+1}$ は、クロックドインバータ111及び112、並びにインバータ113を備える。単位シフト回路 Ua_{2n-1} において、クロックドインバータ111はYクロック信号CKYがハイレベルでアクティブとなり、クロックドインバータ112は反転クロック信号CKYBがハイレベルでアクティブとなる。Yクロック信号CKYがハイレベルの期間にあっては、Y転送開始パルスSPYが、クロックドインバータ111及びインバータ113を介してシフト信号として出力される。一方、反転クロック信号CKYBがハイレベルの期間には、クロックドインバータ112及びインバータ113によってラッチ回路が形成される。従って、当該期間はシフト信号の論理レベルが保持される。この結果、単位シフト回路から出力されるシフト信号は、隣り合う信号同士のアクティブ期間がYクロック信号CKYの半周期だけ重なったものとなる。

【0038】

論理回路群120はJ個の論理ユニット $Ub_1 \sim Ub_J$ を備える。各論理ユニット $Ub_1 \sim Ub_J$ は、3個の単位シフトレジスタ Ua_n に対応している。n番目の論理ユニット Ub_n は、 $2n-1$ 番目の単位シフトレジスタ Ua_{2n-1} 、 $2n$ 番目の単位シフトレジスタ Ua_{2n} 、及び $2n+1$ 番目の単位シフトレジスタ Ua_{2n+1} に対応する。各論理ユニット $Ub_1 \sim Ub_J$ は、ナンド回路121 \sim 125を各々備える。

【0039】

<1-4: データ線駆動回路の構成>

図6はデータ線駆動回路200の構成を示す回路図である。この図に示すように、データ線駆動回路200は、シフトレジスタ210、選択回路群220、DAコンバータ230、デジタルバッファ240、スイッチ231、232、241、242、及び信号線25

10

20

30

40

50

0を備える。

【0040】

シフトレジスタ210は、 $K+1$ 個の単位シフト回路 $Uc1 \sim UcK+1$ を備え、Xクロック信号CKX及び反転Xクロック信号CKXBに同期して、X転送開始パルスSPXを順次シフトして、シフト信号 $Gc1 \sim GcK+1$ を各々出力する。単位シフト回路 $Uc1 \sim UcK+1$ は、クロックドインバータ211及び212、並びにインバータ213を備える。この構成は、データ線駆動回路100のシフトレジスタ110と同様であるので、説明を省略する。

【0041】

選択回路群220は、 K 個の選択ユニット $Ud1 \sim UdK$ を備える。各選択ユニット $Ud1 \sim UdK$ は、ナンド回路221、インバータ222及びサンプリングスイッチ223を備える。ナンド回路221には、Xクロック信号CKXの半周期だけアクティブ期間が重なった信号が、各単位シフト回路 $Uc1 \sim UcK+1$ から供給される。従って、サンプリング信号SP1～SPKは、アクティブ期間がXクロック信号CKXの半周期であり、且つ、排他的にアクティブとなる。

10

【0042】

信号Gmemは、第2モードの書込期間においてハイレベルになる一方、第1モード及び第2モードの読出期間においてローレベルになる。スイッチ241及び242は、信号Gmemがハイレベルの期間においてオン状態となる一方、ローレベルの期間においてオフ状態となる。また、スイッチ231及び232は、スイッチ241及び242と排他的にオン・オフが切り替わるように構成される。

20

【0043】

従って、信号Gmemが第2モードの書込期間を指示するときは、図に示すようにスイッチ241及び242がオン状態となり、デジタルバッファ240を介して画像データDが信号線250に供給される。一方、信号Gmemが第1モードを指示する場合には、DAコンバータ230を介して、画像信号が信号線250に供給される。

【0044】

<1-5：液晶装置の動作>

<1-5-1：第1モード>

液晶装置の動作状態には、画像信号による表示を行う第1モードと画像データによる表示を行う第2モードとがある。図7に、第1モードにおける各種信号のタイミングチャートを示す。第1モードにおいては、メモリMa及びMbを使用しない。このため、信号Gmon1及びGmon2はローレベルとなり、図2に示すサブ画素PSとメモリMa及びMbは分離される。

30

【0045】

信号C1は、単位シフト回路U2nによってYクロック信号CKYの半周期だけ遅延された信号C2として出力される。ナンド回路121は、信号C1と信号C2を反転した信号C2Bとの論理積を反転して出力する。このため、信号C4は、信号C1がアクティブとなる期間T1の前半期間T2でローレベルとなる。また、ナンド回路122は、信号C2と信号C3Bとの論理積を反転して出力する。従って、信号C5は、期間T1の後半期間T3でローレベルとなる。

40

【0046】

一方、ナンド回路123及び124は、信号Gmenbがローレベルであるとき、信号C4及びC5を反転して出力する。信号Gmenbは第1モードにおいてハイレベルとなるから、ナンド回路123及び124から出力される信号Gn-1及び信号Gn-2は、期間T2及び期間T3において、各々ハイレベル（アクティブ）となる。また、信号Gmemは第1モードにおいてローレベルになっているので、ナンド回路125から出力される信号Gmtrwnはハイレベルとなる。

【0047】

図8は図7に示す期間T3における画像信号の経路を示す概念図である。期間T3にあって

50

ては、走査信号 G_n 及び G_{n-2} がアクティブとなるため、図8に示すように、 $TFT50$ 及び $TFT54$ がオン状態となる。従って、サンプリング信号 S_m がサブ画素 $PS(m, n2)$ に書き込まれ、サンプリング信号 S_{m+1} がサブ画素 $PS(m+1, n2)$ に書き込まれることになる。

【0048】

第1モードにおいては、図6に示すスイッチ231及び232がオン状態となるので、サンプリング信号 S_m 及び S_{m+1} は階調を示すアナログ信号となる。従って、蓄積容量及び液晶容量には、階調に応じた電圧が印加されることになる。そして、期間 $T8$ が終了すると、 $TFT50$ 及び $TFT54$ がオフ状態となり、蓄積容量52及び液晶容量53に印加された電圧が保持されることになる。これにより、画像表示が可能となる。

10

【0049】

<1-5-2：第2モード>

次に、第2モードにおける液晶装置の動作を、メモリ Ma 及び Mb へのデータを書き込む書込期間とそれらからデータを読み出す読出期間とに分けて説明する。図9は第2モードの書込期間における液晶装置の動作を示すタイミングチャートである。

【0050】

書込期間においては、信号 G_{memb} がローレベルとなるから、ナンド回路123及び124の出力信号である信号 G_{n-1} 及び G_{n-2} は常にハイレベルとなる。また、ナンド回路125には信号 G_{mem} が供給されるが、書込期間において信号 G_{mem} はハイレベルとなるから、信号 G_{mtrwn} は信号 $C1$ と信号 $C2$ の論理積を反転したものとなる。従って、信号 G_{mtrwn} は、期間 $T3$ においてローレベルとなる。

20

【0051】

図10は図9に示す期間 $T3$ における画像信号の経路を示す概念図である。期間 $T3$ にあっては、走査信号 G_n 、 G_{n-1} 及び G_{n-2} がアクティブとなる他、信号 G_{mon1} がアクティブとなるため、図10に示すように、 $TFT50$ 、 $TFT51$ 、 $TFT54$ 、及び $TFT60$ がオン状態となる。従って、信号 S_m がサブ画素 $PS(m, n1)$ 、 $PS(m, n2)$ 及びメモリ Ma に書き込まれ、信号 S_{m+1} がサブ画素 $PS(m+1, n1)$ 、 $PS(m+1, n2)$ 及びメモリ Mb に書き込まれる。また、期間 $T3$ において信号 G_{mon2} と信号 G_{mtrwn} がローレベルとなるので、 $TFT61$ 及び65はオフ状態となる。このため、 $TFT65$ を介して論理レベルの異なる電圧が容量62に書き込まれることもない。

30

【0052】

図11は、第2モードの読出期間における液晶装置の動作を示すタイミングチャートである。まず、第2モードの読出期間においては、クロック信号 CK_Y がローレベルとなり、 Y 転送開始パルス SP_Y が走査線駆動回路100Aに供給されない。従って、シフトレジスタ110は動作しない。このため、信号 $C1$ 及び $C2$ はローレベルとなり、信号 $C2B$ 、 $C3B$ 、 $C4$ 及び $C5$ はハイレベルとなる。また、信号 G_{memb} はローレベルとなるから、信号 G_{n-1} 及び G_{n-2} はハイレベルとなる。

【0053】

次に、信号 G_{mtrwn} は、信号 $C1$ 、 $C2$ 及び G_{mem} の論理積を反転したものであるから、ハイレベルとなる。さらに、図11に示す例では、信号 G_{mon1} 及び G_{mon2} は1フィールド周期1Vで反転する。これは、液晶へ印加する電圧を交流化するためである。なお、反転周期は1水平走査周期の整数倍であってもよい。

40

【0054】

図12は図11に示す期間 $T4$ における画像信号の経路を示す概念図である。期間 $T4$ にあっては、走査信号 G_n がローレベルとなり、 $TFT50$ はオフ状態になるから、データ線8を介して電荷がサブ画素 PS に流れ込むことはない。一方、当該期間 $T4$ において信号 G_{mon1} がハイレベルとなり、 $TFT60$ はオン状態になる。また、信号 G_{n-1} 及び信号 G_{n-2} はハイレベルとなるので、 $TFT51$ 及び $TFT54$ がオン状態となる。従って、読出期間にあっては、メモリ Ma から読み出された2値の電圧がサブ画素 PS (

50

m、n 1) 及びサブ画素 P S (m、n 2) に書き込まれ、メモリ M b から読み出された 2 値の電圧がサブ画素 P S (m + 1、n 1) 及びサブ画素 P S (m + 1、n 2) に書き込まれる。このとき、T F T 6 5 はオン状態となっているから、インバータ 6 3 及び 6 4 によってループが形成され容量 6 2 の電圧は保持される。

【0055】

また、図 1 1 に示す期間 T 5 にあっては、T F T 6 0 がオフ状態となり T F T 6 1 がオン状態となる。このため、容量 6 2 の電圧レベルがハイレベルであるとすれば、ローレベルの電圧がインバータ 6 3 1 T F T 6 1 1 サブ画素 P S の経路で書き込まれることになる。これにより、液晶に印加される電圧を所定周期で反転することが可能となる。

【0056】

このように、本実施形態に係る液晶パネル A A によれば、第 1 モードにおいて入力画像データ D のビット数 N に応じた階調を各サブ画素に表示させることができる一方、第 2 モードにおいては、メモリ M a のビット数に応じ画像を面積調法によって表示させることができる。そして、表示画像に求められる品質に応じて第 1 モードと第 2 モードを切り替えることによって、利用者から見た画像品質を劣化させることなく消費電力を大幅に削減できる。さらに、この液晶パネル A A によれば、複数のサブ画素で 1 個のメモリを兼用したから、メモリの占有面積を減少して開口率が向上する。この結果、液晶パネル A A は低消費電力でしかも明るい画像を表示することが可能となる。さらに、構成を簡易なものとしたので、不良率を下げることもできる。

【0057】

< 1-6 : 液晶パネル A A の機械的構成 >

図 1 3 は、液晶パネル A A の構成を示す斜視図であり、図 1 4 は、図 1 3 における Z-Z' 線の断面図である。これらの図に示されるように、液晶パネル A A は、画素電極 6 等が形成されたガラス等の素子基板 1 5 1 と、共通電極 1 5 8 等が形成されたガラス等の透明な対向基板 1 5 2 とを、スペーサ 1 5 3 が混入されたシール材 1 5 4 によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせるとともに、この間隙に電気光学材料としての液晶 1 5 5 を封入した構造となっている。なお、シール材 1 5 4 は、対向基板 1 5 2 の基板周辺に沿って形成されるが、液晶 1 5 5 を封入するため一部が開口している。このため、液晶 1 5 5 の封入後に、その開口部分が封止材 1 5 6 によって封止されている。

【0058】

ここで、素子基板 1 5 1 の対向面であって、シール材 1 5 4 の外側一辺においては、データ線駆動回路 2 0 0 が形成されて、Y 方向に延在するデータ線 3 を駆動する構成となっている。さらに、この一辺には複数の接続電極 1 5 7 が形成されて、図示せぬタイミング発生回路からの各種信号や画像信号を入力する構成となっている。また、この一辺に隣接する一辺には、走査線駆動回路 1 0 0 A が形成されて、X 方向に延在する走査線 2 をそれぞれ両側から駆動する構成となっている。

【0059】

一方、対向基板 1 5 2 の共通電極 1 5 8 は、素子基板 1 5 1 との貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材によって、素子基板 1 5 1 との電氣的導通が図られている。ほかに、対向基板 1 5 2 には、液晶パネル A A の用途に応じて、例えば、第 1 に、ストライプ状や、モサイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどのブラックマトリクスが設けられ、第 3 に、液晶パネル A A に光を照射するバックライトが設けられる。特に色光変調の用途の場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板 1 5 2 に設けられる。さらに、対向基板 1 5 2 の周辺領域には光を遮光する遮光膜が形成されており、これにより非表示領域である額縁が形成されるようになっている。

【0060】

くわえて、素子基板 1 5 1 および対向基板 1 5 2 の対向面には、それぞれ所定の方向にラ

10

20

30

40

50

ピンク処理された配向膜などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶155として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0061】

なお、データ線駆動回路200、走直線駆動回路100A等の周辺回路の一部または全部を、素子基板151に形成する替わりに、例えば、TAB（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ICチップを、素子基板151の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG（Chip On Glass）技術を用いて、素子基板151の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

10

【0062】

< 2. 第2実施形態 >

第2実施形態に係る液晶装置は、メイン画素Pが3つのサブ画素PSを備える点、及び走直線駆動回路100Aの替わりに走直線駆動回路100Bを用いる点を除いて、第1実施形態の液晶装置と同様に構成されている。

【0063】

図15は、第2実施形態の画素構成を示す概念図である。この図に示すようにメイン画素PはL字型の形状をしており、3個のサブ画素PSを備えている。そして、1画素当たり2個のメモリを有する。一方のメモリには1個のサブ画素PSの階調を制御するためのデータが記憶され、他方のメモリには2個のサブ画素PSの階調を制御するためのデータが記憶される。

20

【0064】

図16は、画素の構成を示す回路図である。メイン画素P1はサブ画素PS(m, n)、PS(m+1, n)、及びPS(m+1, n+1)を含み、メイン画素P2はサブ画素PS(m, n+1)、PS(m, n+2)、及びPS(m+1, n+2)を含む。この例において、信号Gm1w(n)は、メイン画素P1に含まれるメモリMan及びメモリMb nへのデータの書込・読出を制御する一方、信号Gm1w(n+1)は、メモリMan+1及びメモリMb n+1へのデータの書込・読出を制御する。また、信号Gc1はメイン画素P1に対する信号Sm及びSm+1の書き込みを制御し、信号Gc2はメイン画素P2に対する信号Sm及びSm+1の書き込みを制御する。

30

【0065】

メイン画素P1に着目すると、この例では、第2モードにおいて、メモリMan及びMan+1に各々1ビットのデータを記憶し、メモリManの記憶内容に従って、サブ画素PS(m, n)の階調を制御するとともに、メモリMb nの記憶内容に従って、サブ画素PS(m+1, n)及びサブ画素PS(m+1, n+1)の階調を制御する。これによって、メイン画素P1はオンとなるサブ画素PSの数に応じた階調を表示することが可能となる。具体的には、メモリManに記憶されるデータをDa、メモリMb nに記憶されるデータをDbとし、前記データが1のとき黒を、0のとき白を表示するものとする、Da=Db=1で3つのサブ画素PSが黒、Da=0、Db=1で2個のサブ画素PSが黒、Da=1、Db=0で1個のサブ画素PSが黒、Da=0、Db=0で3つのサブ画素PSが白となる。従って、3つのサブ画素PSを用いて4階調の表示が可能となる。すなわち、この画素構成によれば、第1実施形態と比較して、第2モードにおける1個のサブ画素PS当たりの階調数を増加させることが可能となる。

40

【0066】

図17は走直線駆動回路100Bの構成を示す回路図であり、図18は第1モードにおける液晶装置の動作を示すタイミングチャート、図19は第2モードの書込期間における液晶装置の動作を示すタイミングチャート、図20は第2モードの読出期間における液晶装置の動作を示すタイミングチャートである。ここで図17～図20においては、図16の

50

等価回路図を $n = 1$ とした場合で説明する。

【0067】

第1モードにおいて信号 $Gc1$ 、 $Gc2$ 、の順に走査線2が順次選択され、信号 $G1$ 、 $G2$ 、が順次アクティブになると、期間 $t1$ においてサブ画素 $PS(m, 1)$ 及び $PS(m+1, 1)$ に信号電圧(図18中の「1行目信号」)が書き込まれる。これに続く期間 $t2$ において信号電圧(図18中の「2行目信号」)がサブ画素 $PS(m, 2)$ 及び $PS(m+1, 2)$ に書き込まれ、さらに、期間 $t3$ において信号電圧(図18中の「3行目信号」)がサブ画素 $PS(m, 3)$ 及び $PS(m+1, 3)$ に書き込まれる。また、第1モードにおいて、信号 $Gmon(1, 1)$ 、信号 $Gmon(1, 2)$ 、信号 $Gmon(1, 3)$ 及び $Gmon(1, 4)$ はローレベルとなり、各メモリと各サブ画素 PS とが分離される。

10

【0068】

次に、第2モードの書込期間においては、図19に示すように信号 $Gmon1$ がハイレベルとなる一方、信号 $Gmon2$ がローレベルとなるから、 $TFT60$ がオン状態となり、かつ $TFT61$ がオフ状態となる。そして、期間 $t2$ 、 $t3$ 、において信号 $Gmtrw1$ 、 $Gmtrw2$ 、は順次アクティブとなる。従って、期間 $t2$ において Sm 、 $Sm+1$ に印加されたデータが夫々メモリ $Ma1$ 、 $Mb1$ に書き込まれ、期間 $t3$ において Sm 、 $Sm+1$ に印加されたデータが夫々メモリ $Ma2$ 、 $Mb2$ に書き込まれる。

【0069】

次に、第2モードの読出期間においては、 Y クロック信号 CKY が供給されず、走査線駆動回路100Bは動作を停止する。このため、信号 $Gc1$ 、 $Gc2$ 、はローレベルとなり、信号 $G1$ 、 $G2$ 、はハイレベルとなる。一方、信号 $Gmon1$ と信号 $Gmon2$ とは、1フィールド周期1Vで反転する。期間 $T4$ にあっては、信号 $Gmon1$ がアクティブになるから、容量62の電圧が各サブ画素 PS に書き込まれる一方、期間 $T5$ においては信号 $Gmon2$ がアクティブになるから容量62の電圧を反転した電圧が各サブ画素 PS に書き込まれる。これによって、液晶に印加する電圧を反転させることが可能となる。

20

【0070】

第2実施形態の液晶パネルAAによれば、第2モードにおいて調数を増加させることができるとともに、表示画像に求めらる品質に応じて第1モードと第2モードを切り替えることによって、利用者から見た画像品質を劣化させることなく消費電力を大幅に削減できる。

30

【0071】

<8. 応用例>

<8-1: 素子基板の構成など>

上述した各実施形態において、画素領域Aの一部にメモリ Ma 及び Mb を搭載した領域と、サブ画素 PS のみを配設した領域を設けてもよい。とくに、第2モードの低精細の表示で足りる部分にメイン画素 P を配置するようにすればよい。

上述した各実施形態においては、液晶パネルAAの素子基板151をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成された TFT によって、画素のスイッチング素子やデータ線駆動回路200、および走査線駆動回路100A、100Bの素子を構成するものとして説明したが、本発明はこれに限られるものではない。

40

本発明は、 TFT を用いて、液晶パネルの駆動に必要な全ての周辺回路を素子基板上に形成した液晶パネルに適用する事が出来る。また、前記周辺回路ばかりでなく、マイクロプロセッサ、メモリ、インターフェース回路、コンバータ、タイミングジェネレータや画像処理回路等を素子基板上に形成した液晶パネルにも本発明を適用することが出来る。これらの技術は、「システム・オン・ガラス(System on Glass)」、あるいは、「システム液晶」と呼ばれている。

【0072】

例えば、素子基板151を半導体基板により構成して、当該半導体基板の表面にソース、

50

ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や各種の回路の素子を構成しても良い。このように素子基板151を半導体基板により構成する場合には、透過型の表示パネルとして用いることができないため、画素電極6をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板151を透明基板として、画素電極6を反射型にしても良い。

【0078】

さらに、上述した実施の形態にあっては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走直線2を一方の基板に形成し、データ線8を他方の基板に形成するとともに、2端子素子を、走直線2またはデータ線8のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走直線2とデータ線8との間に直列接続された2端子素子と、液晶とから構成されることとなる。

10

【0074】

また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN(Super Twisted Nematic)液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、有機発光ダイオード(OLED)素子或いはエレクトロルミネッセンス(EL)素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。

20

【0075】

図21に有機発光ダイオード素子を用いた電気光学パネルの画素の構成を一例として示す。図21に示すメイン画素P'が図2に示すメイン画素Pと相違するのは、以下の点である。第1にOLED素子73及び75に電流を供給するための電流供給線80を設けた点、第2に蓄積容量52及び55並びに液晶容量53及び56の替わりに、PチャネルのTFT72及び74並びにOLED素子73及び75を設けた点、第3にGmon2で制御される系をなくした点である。TFT72及び74は、それらのゲート電圧がローレベルになるとオン状態となり電流供給線80から電流をOLED素子73及び75に供給する。これにより、サブ画素PSはオンする一方、TFT72及び74がオフ状態になるとサブ画素PSはオフする。これにより、階調が2値的に制御されることになる。OLED素子はDCによって駆動されるので、液晶を駆動する場合と異なり極性反転をする必要が無く、このためメモリとサブ回路との接続を制御する信号Gmonは一つだけで良い。

30

【0076】

さらに、上述した実施形態は、フラズマディスプレイ表示装置等にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0077】

<8-2: 電子機器>

<8-2-1: モバイル型コンピュータ>

次に、この液晶パネルAAを、モバイル型のパーソナルコンピュータに適用した例について説明する。図22は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル1005の背面にバックライトを付加することにより構成されている。

40

【0078】

<8-2-3: 携帯電話>

さらに、この液晶パネルAAを、携帯電話に適用した例について説明する。図23は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302とともに、反射型の液晶パネル1005を備えるものである。この反射型の液晶パネル1005にあっては、必要に応じてその前面にフロントライトが設けられる。

【0079】

50

なお、図 2 2 及び図 2 3 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る液晶装置の全体構成を示すブロック図である。

【図 2】同装置において走査線 $2-n1 \sim 2-n6$ とデータ線 $3-m$ 及び $3-m+1$ との交差に対応して形成されるメイン画素 P の詳細な構成を示す回路図である。

【図 3】同装置におけるメイン画素 P とサブ画素 PS の関係を説明するための概念図である。 10

【図 4】同装置の走査線駆動回路 100 A の構成を示すブロック図である。

【図 5】同装置の走査線駆動回路 100 A の単位シフト回路 $Ua2n-1 \sim Ua2n+1$ 及び論理ユニット $Ub n$ の構成を示す回路図である。

【図 6】同装置のデータ線駆動回路 200 の構成を示す回路図である。

【図 7】同装置の第 1 モードにおける各種信号のタイミングチャートである。

【図 8】同装置の第 1 モードにおける書込期間の信号の流れを示す概念図である。

【図 9】同装置の第 2 モードにおける書込期間の動作を示すタイミングチャートである。

【図 10】同装置の第 2 モードにおける書込期間の信号の流れを示す概念図である。

【図 11】同装置の第 2 モードにおける読出期間の動作を示すタイミングチャートである。 20

【図 12】同装置の第 2 モードにおける読出期間の信号の流れを示す概念図である。

【図 13】同装置の液晶パネル AA の構成を説明する斜視図である。

【図 14】同装置の液晶パネル AA の構造を説明するための一部断面図である。

【図 15】第 2 実施形態に係る液晶装置の画素構成を示す概念図である。

【図 16】同装置の画素の詳細な構成を示す回路図である。

【図 17】同装置の走査線駆動回路 100 B の構成を示す回路図である。

【図 18】同装置の第 1 モードにおける動作を示すタイミングチャートである。

【図 19】同装置の第 2 モードにおける書込期間の動作を示すタイミングチャートである。 30

【図 20】同装置の第 2 モードの読出期間における動作を示すタイミングチャートである。

【図 21】OLED 素子を用いた電気光学パネルの画素構成の一例を示す回路図である。

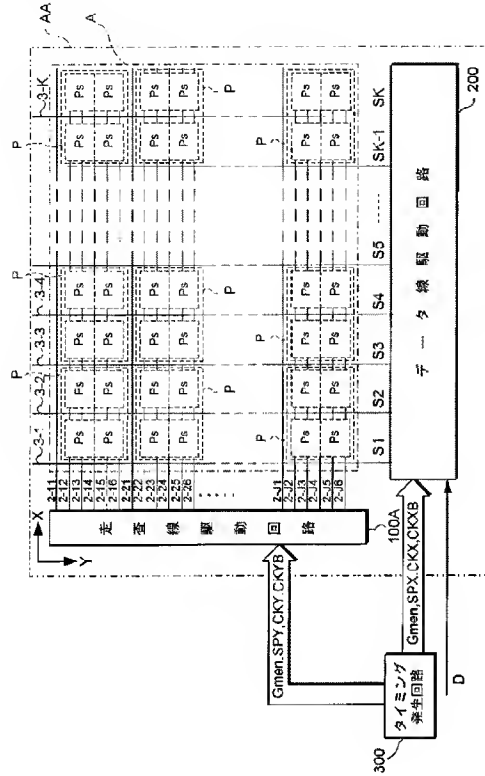
【図 22】液晶パネル AA を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 23】液晶パネル AA を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

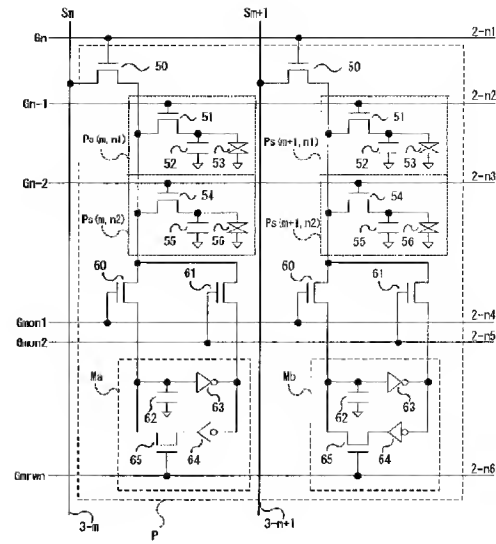
【符号の説明】

AA 液晶パネル、A 画素領域、2 走査線、3 データ線、6 画素電極、50 TFT (スイッチング素子)、100 A、100 B 走査線駆動回路、200 データ線駆動回路、PS サブ画素 PS、P メイン画素、50 TFT (第 1 スwitchング素子)、60 TFT (第 2 スwitchング素子)、61 TFT (第 3 スwitchング素子)、62 容量、63、64 インバータ (第 1、第 2 反転回路)、65 TFT (第 4 スwitchング素子)。 40

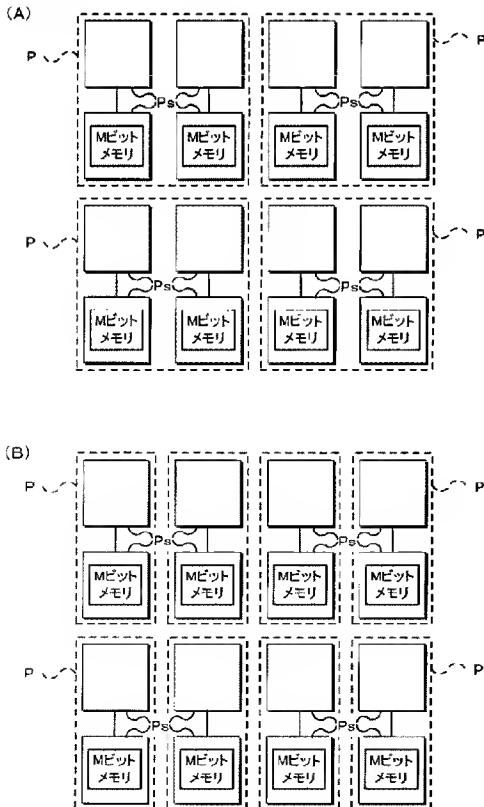
【図 1】



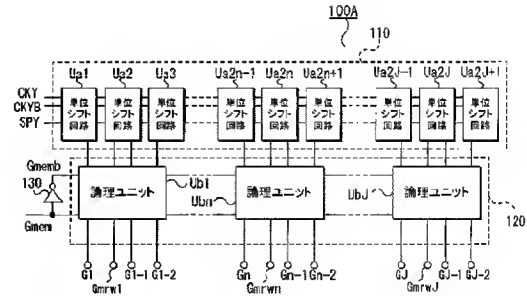
【図 2】



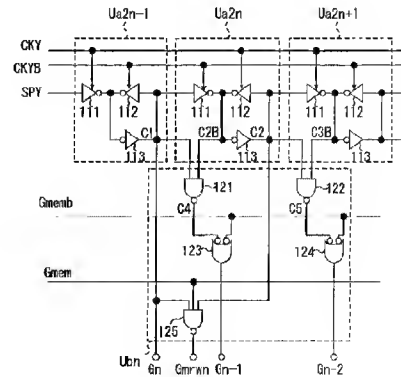
【図 8】



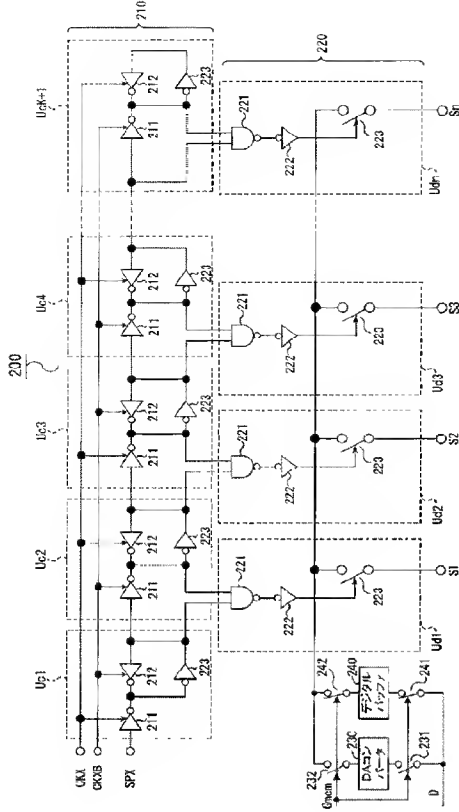
【図 4】



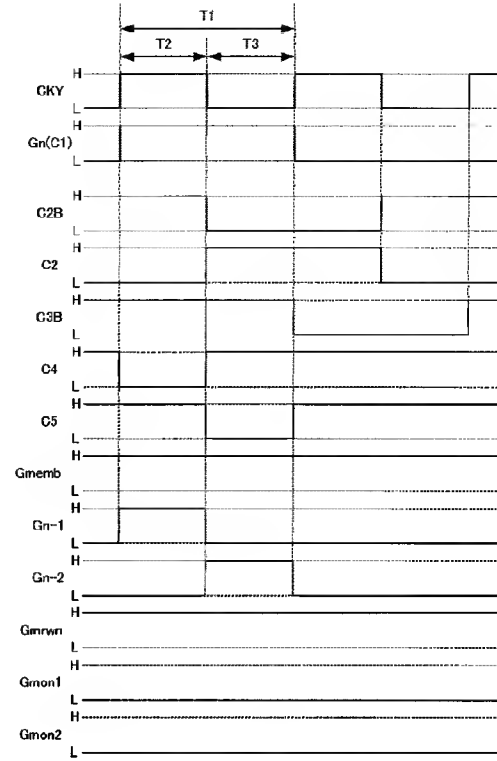
【図 5】



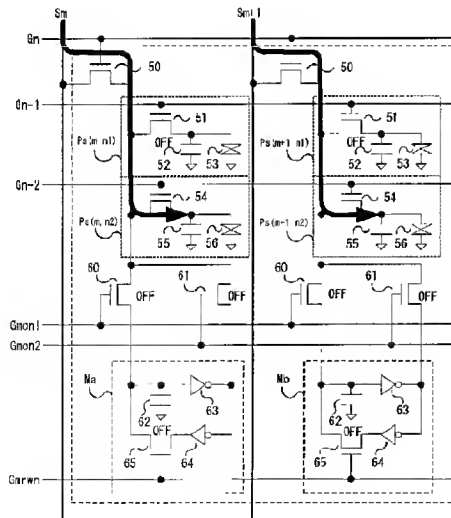
【図 6】



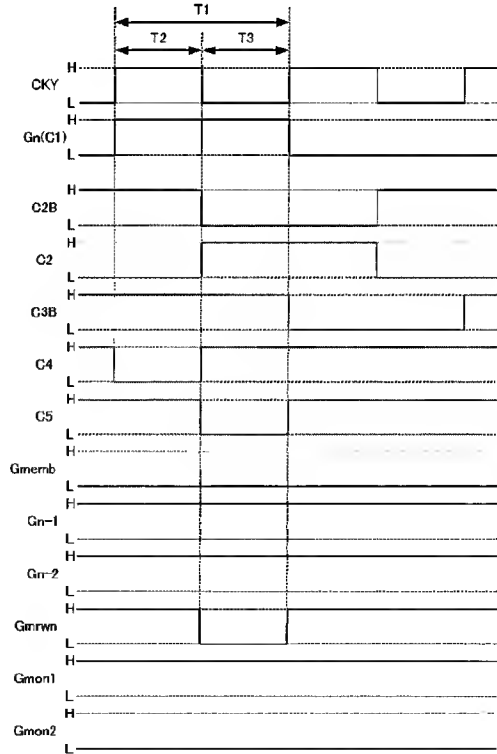
【図 7】



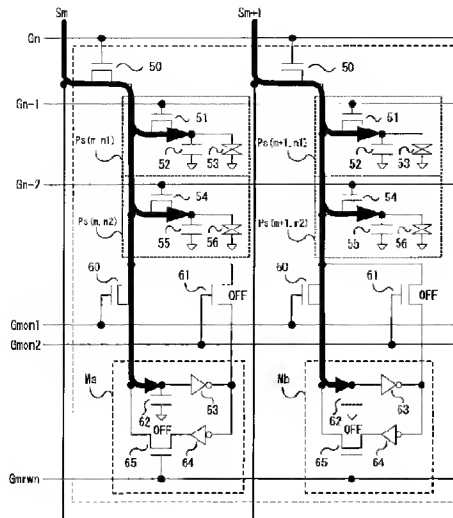
【図 8】



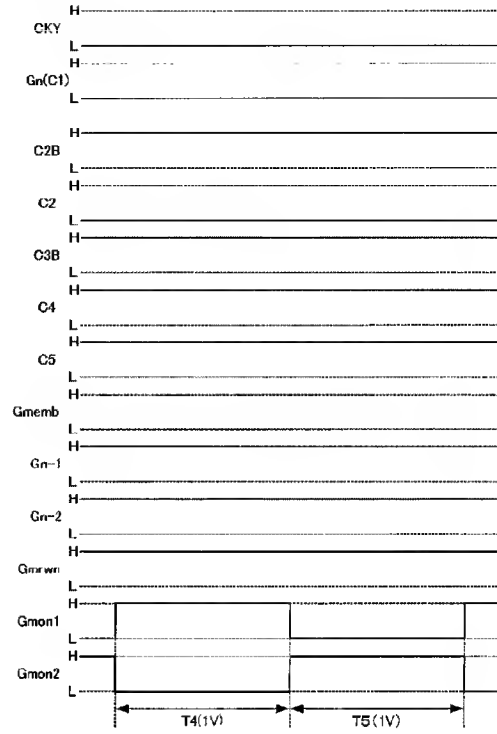
【図 9】



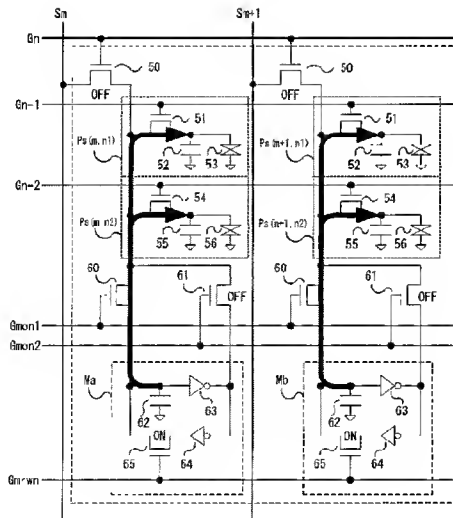
【図 10】



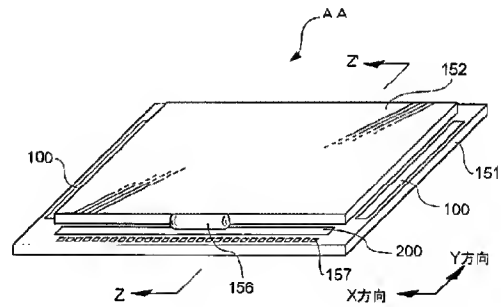
【図 11】



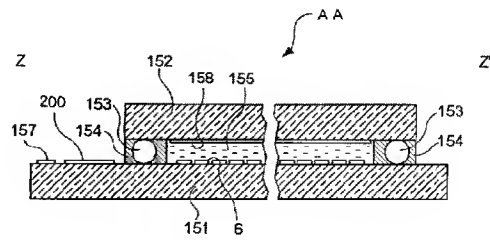
【図 12】



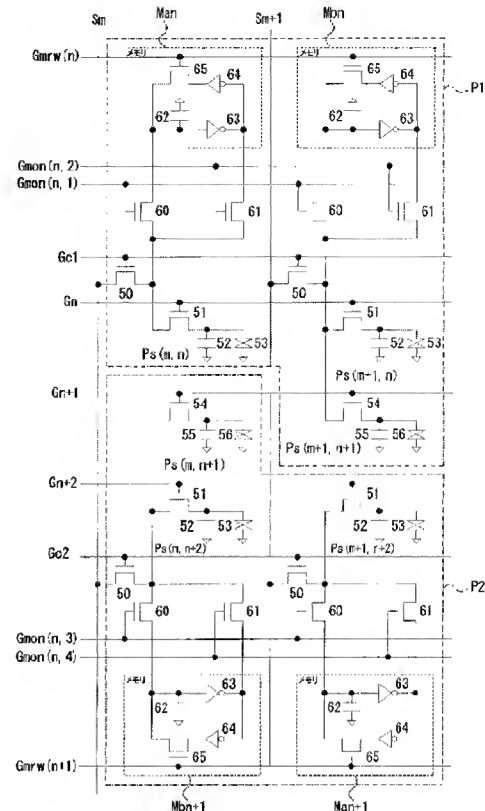
【図 13】



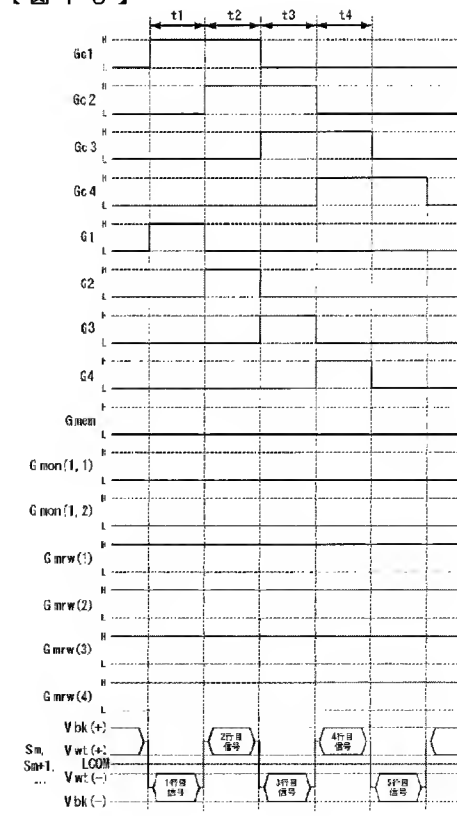
【図 14】



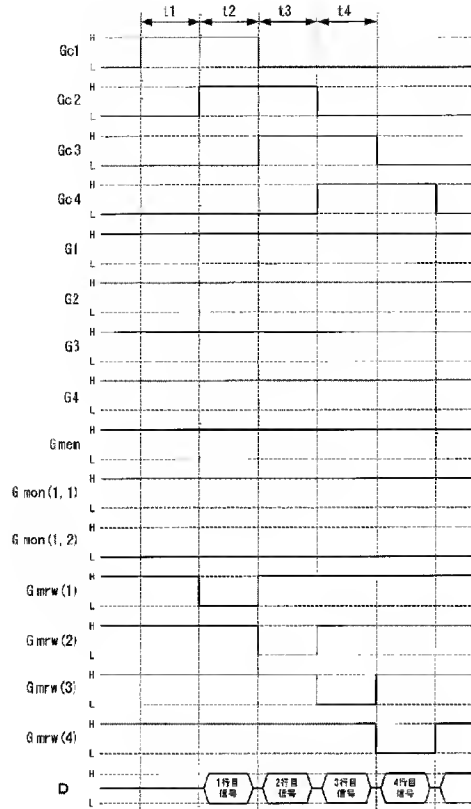
【圖 16】



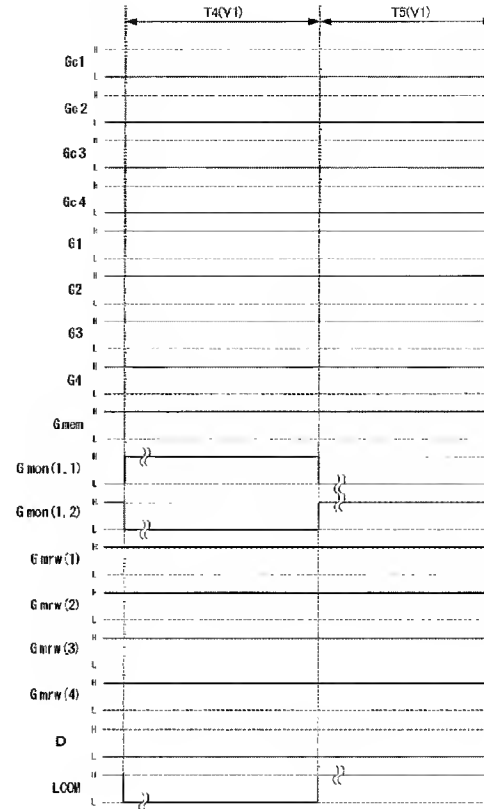
【 図 1 8 】



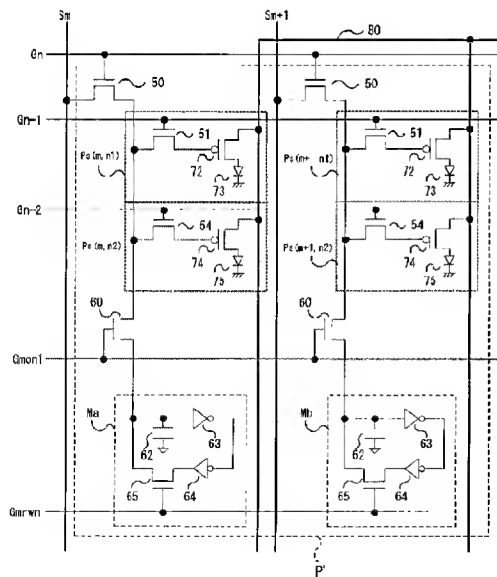
【図 19】



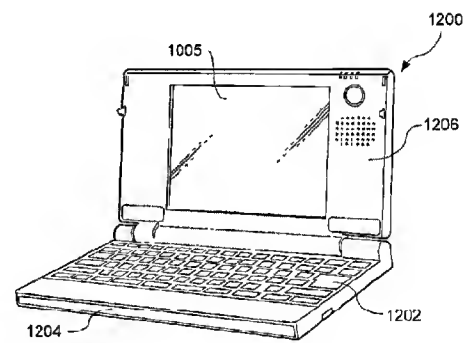
【図 20】



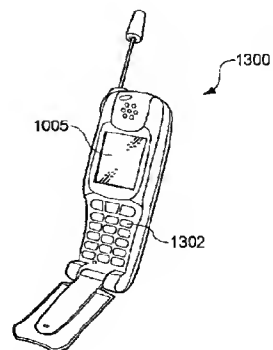
【図 21】



【図 22】



【図 23】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 R
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 5 0 M
G 0 9 G	3/20	6 6 0 U
H 0 5 B	33/14	A

F ターム(参考) 3K007 AB17 BA06 DB03 GA04

5C006	AA02	AA09	AA12	AA16	AA22	AC27	AC28	AF05	AF36	AF68
	AF69	AF83	BB16	BC12	BC20	BF03	BF11	BF26	BF27	EB05
	FA04	FA44	FA47	FA56						
5C080	AA06	AA10	BB05	CC03	DD22	DD26	EE26	EE27	EE28	FF11
	HH09	JJ02	JJ03	JJ04	JJ06	KK04	KK07			